

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-252003

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl. <sup>o</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/321			H 01 L 21/92	6 0 4 B
21/304	3 2 1		21/304	3 2 1 S
21/306			21/306	M
			21/92	6 0 4 A

審査請求 未請求 請求項の数8 ○L (全5頁)

(21)出願番号	特願平8-59304	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成8年(1996)3月15日	(71)出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(72)発明者	吉原 通之 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
		(72)発明者	五味 和男 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
		(74)代理人	弁理士 秋田 収喜
			最終頁に続く

(54)【発明の名称】 パンプの形成方法及びパンプを有する半導体装置の製造方法

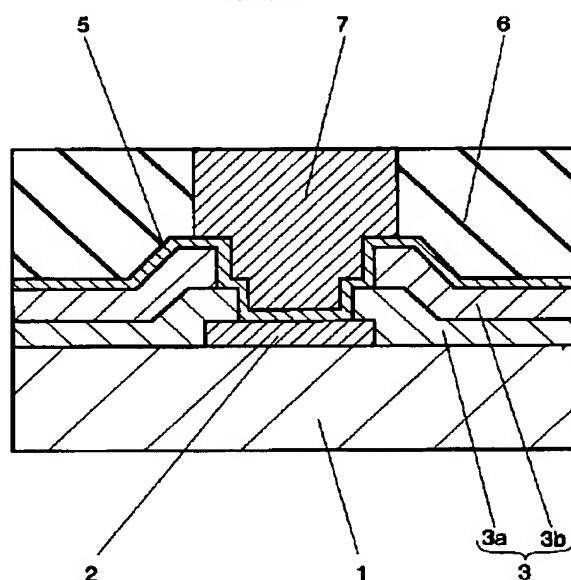
(57)【要約】 (修正有)

【課題】 パンプ高さの誤差を減少させ、ポンディング不良を防止する。

【解決手段】 厚膜レジスト6を用いてメッキによりパンプ7を形成し、パンプの表面を研磨して平坦化した後に、前記レジストを除去する。

【効果】 前記平坦化によってパンプ高さの誤差が減少し、一括接続を行なう際に、ポンディングツールの加圧力が各パンプに均一に加わり、加熱が各パンプに均一に加わるので、ポンディング不良が生じにくくなる。

図5



1

## 【特許請求の範囲】

【請求項1】 バンプの形成方法であって、  
バンプ形成面にレジストを塗布する工程と、  
前記レジストにバンプ形成用の開口を行なう工程と、  
バンプを形成する工程と、  
前記バンプを研磨する工程と、  
前記レジストを除去する工程と、を備えたことを特徴とするバンプの形成方法。

【請求項2】 前記研磨をCMP法で行なうことを特徴とする請求項1に記載のバンプの形成方法。

【請求項3】 前記バンプの研磨が行なわれた後に前記レジストを除去することを特徴とする請求項1又は請求項2に記載のバンプの形成方法。

【請求項4】 前記バンプを電解メッキ法で形成することを特徴とする請求項1乃至請求項3の何れかに記載のバンプの形成方法。

【請求項5】 半導体チップに形成した回路の外部との接続端子として用いるバンプを有する半導体装置の製造方法であって、

バンプ形成面にレジストを塗布する工程と、  
前記レジストにバンプ形成用の開口を行なう工程と、  
バンプを形成する工程と、  
前記バンプを研磨する工程と、  
前記レジストを除去する工程と、を備えたことを特徴とするバンプを有する半導体装置の製造方法。

【請求項6】 前記研磨をCMP法で行なうことを特徴とする請求項5に記載のバンプを有する半導体装置の製造方法。

【請求項7】 前記バンプの研磨が行なわれた後に前記レジストを除去することを特徴とする請求項5又は請求項6に記載のバンプを有する半導体装置の製造方法。

【請求項8】 前記バンプを電解メッキ法で形成することを特徴とする請求項5乃至請求項7の何れかに記載のバンプの形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バンプの形成方法及びバンプを有する半導体装置の製造方法に関し、特に、精度の高いバンプの形成に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置の製造では、半導体ウェハの主面上に回路を形成した後に、半導体ウェハを個々の半導体ペレットに分割し、各半導体ペレットとプリント基板等に実装する際に接続端子になるリードとを接続した後に、パッケージに収容して半導体装置ができる。

【0003】このリードと半導体チップとの接続のため、金、ハンダ、銅等を用いた突起電極であるバンプを半導体チップに形成し、このバンプとリードとを位置合わせてボンディングツールを押し当て加圧・加熱する

2

ことによって、バンプとリードとを一括して接続（ギヤングボンディング）する方法がある。

【0004】このようなバンプには半球形状のマッシュルームバンプと円筒形状のストレートウォールバンプとが有る。マッシュルームバンプは縦方向以外に横方向にもメッキが成長するので、バンプピッチの微細化が進むとバンプ間でのショートが起りやすくなる。これに対して、ストレートウォールバンプでは、縦方向にのみメッキが成長するのでプロセスマージンがあり、前記微細化に適応し得る。このストレートウォールバンプの製造プロセスを、以下説明する。

【0005】先ず、ホトリソグラフィ技術を用いて電極バッド上に形成された保護膜を選択的に除去して開口を設け、レジストを除去してからバリアメタルをウェハ全面に形成する。次に、厚膜レジストを塗布し、ホトリソグラフィ技術によってバンプメッキ用の開口を設け、バリアメタルを電極として電解メッキにてバンプを形成する。この後、厚膜レジストを除去し、バンプをマスクとして露出しているバリアメタルをエッティング除去する。

【0006】このようなバンプの形成方法については、工業調査会刊行の「TAB技術入門」の第73頁乃至第81頁に記載されている。

【0007】

【発明が解決しようとする課題】このようなバンプの形成においてメッキ条件の僅かな違い等の原因によって、バンプの高さにある程度の誤差が生じてしまう。この誤差が例えば6μm程度あった場合には、バンプ間で最大12μm程度の高さの違いが生じてしまうこともある。このようなバンプ高さの違いによって、前記一括接続を行なう際に、前記ボンディングツールの加圧力が各バンプによって異なることとなり、加熱が各バンプに均一に加わらずに、一部のバンプの接続が不良となるボンディング不良が生じてしまう。このようなボンディング不良が生じると、半導体装置が作動不良或いは作動不能となり、装置の信頼性が低下する。

【0008】このようなバンプ高さの誤差による影響はバンプのピッチが小さくなるにつれ、より深刻な問題となる。

【0009】本発明の目的は、バンプ高さの誤差を減少させ、ボンディング不良を防止することが可能な技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】厚膜レジストを用いてメッキによりバンプを形成し、バンプの表面を研磨して平坦化した後に、前

記レジストを除去する。

【0013】上述した手段によれば、前記平坦化によってバンプ高さの誤差が減少し、一括接続を行なう際に、ポンディングツールの加圧力が各バンプに均一に加わり、加熱が各バンプに均一に加わるので、ポンディング不良が生じにくくなる。

【0014】それによって、バンプ高さの誤差によるポンディング不良を防止することが可能となる。

【0015】以下、本発明の構成について、実施の形態とともに説明する。

【0016】なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】

【発明の実施の形態】図1乃至図7に示すのは、本発明の一実施の形態であるバンプの形成方法を工程ごとに示す要部縦断面図である。

【0018】図中、1は所定の回路を主面に形成した半導体基板、2は半導体基板に形成した回路と外部端子とを接続するために半導体基板1に設けられたアルミニウムの電極パッド、3は半導体ベレットを保護する保護絶縁膜であり、本実施の形態では水分の浸入を防止するプラズマCVD法によるSiN膜3aとα線ソフトエラーを防止するポリイミド系の樹脂膜3bとを積層した構成となっている。

【0019】先ず、バンプ形成面にレジスト4を塗布し、ホトリソグラフィ技術によってバターニングしたレジスト4をマスクとしてエッチングを行ない、バンプを形成する電極パッド2上の保護絶縁膜3を選択的に除去し開口を設ける。この状態を図1に示す。

【0020】レジスト4を除去した後に、バリアメタル5を半導体基板1全面にスパッタ法によって形成する。この状態を図2に示す。バリアメタル5としては、電極パッド2と密着性の高いCr或いはTi等の薄膜と、バンプ形成材料と密着性の高いW、Pt、Ag、Cu、Ni等の薄膜とを積層した多層金属膜を形成する。

【0021】次に10～50μm厚の厚膜レジスト6を塗布し、ホトリソグラフィ技術によりバンプメッキ用の開口をバターニングする。この状態を図3に示す。

【0022】バリアメタル5を電極として電解メッキ法を用い、開口内のバリアメタル5にバンプ形成材料である金を付着させてバンプ7を形成する。この状態を図4に示す。

【0023】形成したバンプ7をCMP(Chemical Mechanical Polishing)法によって研磨し平坦化する。この状態を図5に示す。CMP法とは例えば薬液をつけた研磨布にデバイスを形成したウェハを押し当てながら回転させ、薬液の化学的作用と研磨布の物理的作用との相乗効果によって表面を研磨する方法である。

【0024】研磨後にレジスト6を除去し、バリアメタ

ル5及びバンプ7を露出させる。この状態を図7に示す。形成したバンプ7をマスクとして露出しているバリアメタル5をエッチング除去し、バンプ7の形成工程が完了する。この状態を図7に示す。

【0025】本実施の形態では、CMP法によって研磨を行なうので、バンプ高さを高い精度で均一化することができる。また、バンプ形成時のレジストが付着した状態で研磨を行なうので、CMP法に用いる薬液によるダメージを防止することができ、研磨時のバンプの損傷が少なく、素子形成面への異物の付着も防止できる。

【0026】このようにしてバンプを形成した半導体チップを実装した状態を図8に例示する。

【0027】この例ではTAB(Tape Automated Bonding)テープに実装したTCP(TapeCarrier Package)型の半導体装置を示し、TABテープは、ポリイミド等の絶縁性樹脂フィルムからなる基材8に、接着剤を介して或いは直接に銅箔等の導体膜を形成し、この導体膜をエッチングによって加工しリード9を形成する。このリード9の一端が半導体チップ10のバンプ7と位置合わせされ、加熱・加圧されてリード9とバンプ7とが接続される。ポンディングが終了すると、半導体チップ10は、耐湿性の向上を主たる目的として、半導体チップ10の主面及びリード9の接続部分にエポキシ等の液状の封止樹脂11を塗布しこれを加熱固化させたボッティング封止が行なわれる。

【0028】なお、本実施の形態ではCMP法を用いてバンプの研磨を行なったが他の研磨方法を用いても本発明は実施可能である。

【0029】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0030】例えば、前記の実施の形態では、半導体チップにバンプを形成する場合について説明したが、例えば実装基板或いはTABテープ等他のバンプ形成に本発明を用いても有効である。

【0031】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0032】(1) 本発明によれば、バンプ高さの誤差を少なくすることができるという効果がある。

【0033】(2) 本発明によれば、前記効果(1)により、バンプとリードとの接続不良が減少するという効果がある。

【0034】(3) 本発明によれば、前記効果(2)により、半導体装置の信頼性が向上するという効果がある。

5

【図1】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図2】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図3】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図4】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図5】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図6】本発明の一実施の形態であるバンプの形成方法\*

6

\*を示す要部縦断面図である。

【図7】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

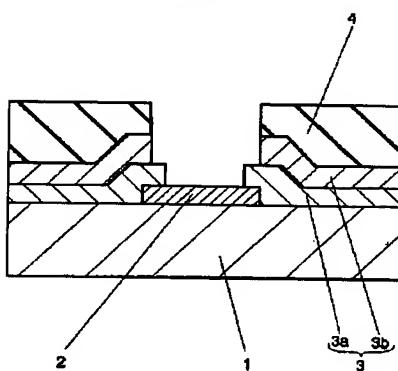
【図8】TABテープに実装したTCP型の半導体装置を示す縦断面図である。

【符号の説明】

1…半導体基板、2…電極パッド、3…保護絶縁膜、3a…SiN膜、3b…ポリイミド系の樹脂膜、4…レジスト、5…バリアメタル、6…レジスト、7…バンプ、8…基材、9…リード、10…半導体チップ、11…封止樹脂11。

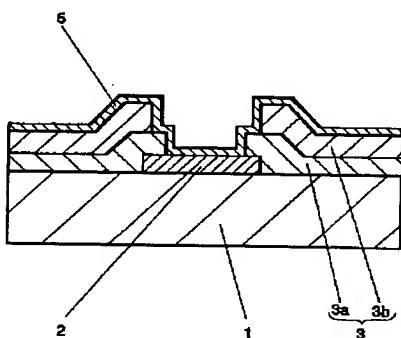
【図1】

図1



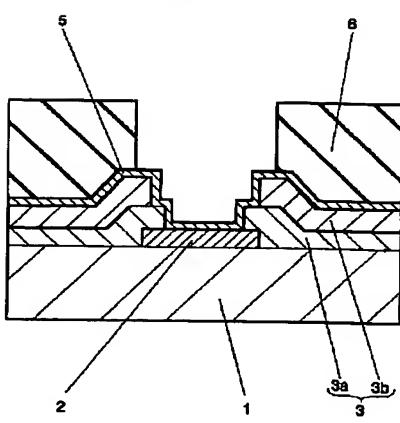
【図2】

図2



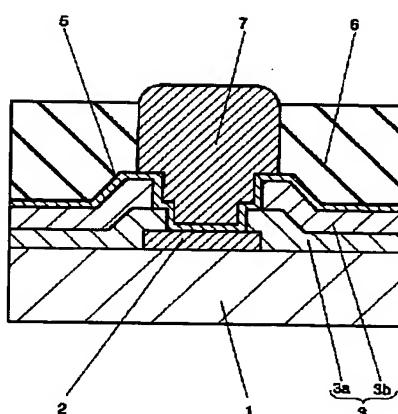
【図3】

図3



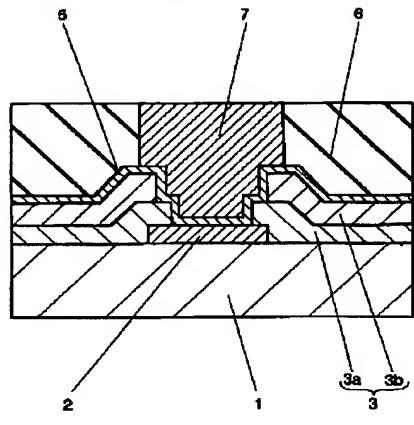
【図4】

図4



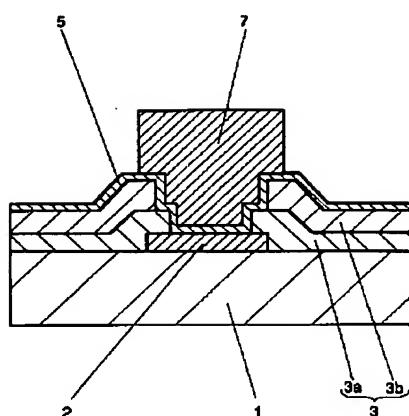
【図5】

図5



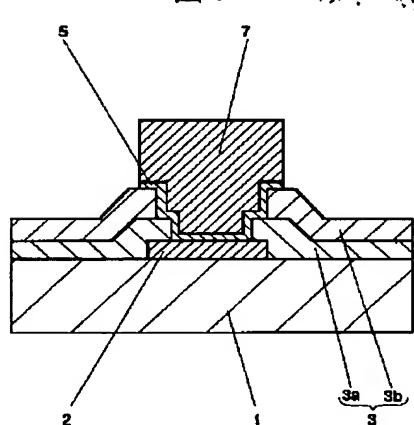
【図6】

図6



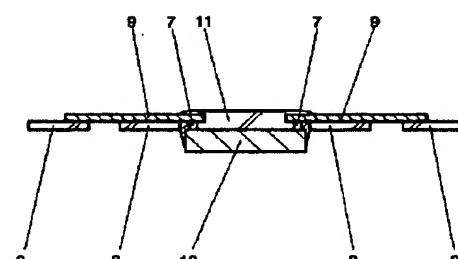
【図7】

図7



【図8】

図8



フロントページの続き

(72)発明者 伊東 恒二

千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

**THIS PAGE BLANK (USPTO)**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-252003  
(43)Date of publication of application : 22.09.1997

(51)Int.Cl. H01L 21/321  
H01L 21/304  
H01L 21/306

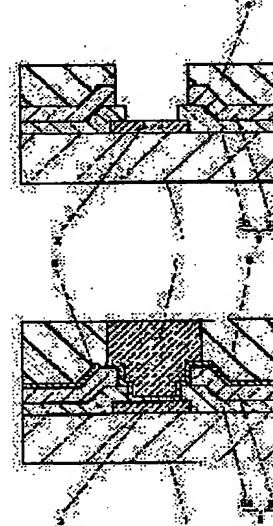
(21)Application number : 08-059304 (71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO LTD  
(22)Date of filing : 15.03.1996 (72)Inventor : YOSHIHARA MICHYUKI  
GOMI KAZUO  
ITO KYOJI

## (54) BUMP FORMING METHOD AND MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE HAVING BUMPS

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the bump height error and prevent poor bonding by plating a thick film paste to form bumps, polishing the bump surface to be flat, and removing the resist.

SOLUTION: A resist 4 is coated on a bump forming face, patterned and etched with the resist 4 used as a mask, a protective insulation film 3 on electric pads 2 forming the bumps is selectively removed to form openings, then the resist is removed, a barrier metal 5 is formed, a thick film resist 6 is coated, Au i.e., bump forming material is deposited the barrier metal 5 in the openings to form bumps 7 which are then polished to be flat, and the resist 6 is removed to expose the metal 5 and bumps 7. Thus, the bump height error is reduced and poor bonding is avoided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

\* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the manufacture approach of a semiconductor device of having a bump's formation approach and a bump, especially, this invention is applied to formation of a bump with a high precision, and relates to an effective technique.

[0002]

[Description of the Prior Art] In manufacture of a semiconductor device, after forming a circuit on the principal plane of a semi-conductor wafer, in case a semi-conductor wafer is divided into each semi-conductor pellet and it mounts in each semi-conductor pellet, a printed circuit board, etc., after connecting the lead which becomes a connection terminal, it holds in a package and a semiconductor device is done.

[0003] There is the approach of connecting a bump and a lead collectively (gang bonding) by forming in a semiconductor chip the bump who is the projection electrode which used gold, a pewter, copper, etc., carrying out alignment of this bump and lead, pressing a bonding tool, and pressurizing and heating them for connection with this lead and semiconductor chip.

[0004] There are a mushroom bump of a semi-sphere configuration and a cylindrical shape-like straight Wall bump as such a bump. Since, as for a mushroom bump, plating grows up to be also a longitudinal direction in addition to a lengthwise direction, if detailed-ization of a bump pitch progresses, the short-circuit between bumps will become easy to take place. On the other hand, by the straight Wall bump, since plating grows up to be only a lengthwise direction, there is a process margin, and it may be adapted for said detailed-ization. This straight Wall bump's manufacture process is explained below.

[0005] First, after removing alternatively the protective coat formed on the electrode pad using a photolithography techniques, preparing opening and removing a resist, barrier metal is formed all over a wafer. Next, a thick-film resist is applied, with a phot lithography techniques, opening for bump plating is prepared and a bump is formed in electrolytic plating by using barrier metal as an electrode. Then, a thick-film resist is removed and etching removal of the barrier metal which has exposed the bump as a mask is carried out.

[0006] Such a bump's formation approach is indicated by the 73rd page of "a guide to TAB technical" of the Kogyo Chosakai Publishing publication thru/or the 81st page.

[0007]

[Problem(s) to be Solved by the Invention] In such a bump's formation, a certain amount of error will arise in a bump's height according to causes, such as a slight difference among plating conditions. When there are about 6 micrometers of this error, for example, the difference in height of a maximum of about 12 micrometers may arise among bumps. In case said package connection is made by the difference in such bump height, the welding pressure of said bonding tool will change with each bumps, and the poor

**THIS PAGE BLANK (USPTO)**

bonding from which connection of some bumps becomes poor will arise, without heating joining homogeneity at each bump. If such poor bonding arises, it will become impossible poor actuation or operating a semiconductor device, and the dependability of equipment will fall.

[0008] The effect by the error of such bump height poses a more serious problem as a bump's pitch becomes small.

[0009] The purpose of this invention decreases the error of bump height, and is to offer the technique which can prevent poor bonding.

[0010] As new along [ said ] this invention a description as the other purposes will become clear by description and the accompanying drawing of this specification.

[0011]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0012] A bump is formed by plating using a thick-film resist, and said resist is removed after grinding and carrying out flattening of a bump's front face.

[0013] Since the welding pressure of a bonding tool joins each bump at homogeneity and heating joins each bump at homogeneity in case according to the means mentioned above the error of bump height decreases and package connection is made by said flattening, it is hard coming to generate poor bonding.

[0014] It becomes possible to prevent the poor bonding by the error of bump height by it.

[0015] Hereafter, the configuration of this invention is explained with the gestalt of operation.

[0016] In addition, in the complete diagram for explaining the gestalt of operation, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0017]

[Embodiment of the Invention] What is shown in drawing 1 thru/or drawing 7 is important section drawing of longitudinal section showing the formation approach of the bump who is the gestalt of 1 operation of this invention for every process.

[0018] The electrode pad of the aluminum prepared in the semi-conductor substrate 1 in order that the semi-conductor substrate with which one formed the predetermined circuit in the principal plane among drawing, and 2 might connect the circuit and external terminal which were formed in the semi-conductor substrate, 3 is a protection insulator layer which protects a semi-conductor pellet, and has composition which carried out the laminating of SiN film 3a by the plasma-CVD method for preventing permeation of moisture, and the resin film 3b of the polyimide system which prevents an alpha-rays soft error with the gestalt of this operation.

[0019] First, a resist 4 is applied to a bump forming face, it etches by using as a mask the resist 4 which carried out patterning with a phot lithography techniques, the protection insulator layer 3 on the electrode pad 2 which forms a bump is removed alternatively, and opening is prepared. This condition is shown in drawing 1.

[0020] After removing a resist 4, the barrier metal 5 is formed by the spatter all over semi-conductor substrate 1. This condition is shown in drawing 2. The multilevel-metal film which carried out the laminating of thin films, such as high Cr or high Ti of the electrode pad 2 and adhesion, and a bump formation ingredient and thin films, such as W, Pt, Ag, Cu, nickel, etc. with high adhesion, as a barrier metal 5 is formed.

[0021] Next, the thick-film resist 6 of 10-50-micrometer thickness is applied, and patterning of the opening for bump plating is carried out with a phot lithography techniques. This condition is shown in drawing 3.

[0022] By using barrier metal 5 as an electrode, using electrolysis plating, the gold which is a bump formation ingredient is made to adhere to the barrier metal 5 in opening, and a bump 7 is formed. This condition is shown in drawing 4.

**THIS PAGE BLANK (USPTO)**

[0023] the bump 7 who formed -- CMP (Chemical Mechanical Polishing) -- flattening is ground and carried out by law. This condition is shown in drawing 5. The CMP method is the approach of rotating, pressing the wafer in which the device was formed against the abrasive cloth which attached the drug solution, and grinding a front face according to the synergistic effect of a chemical operation of a drug solution and a physical operation of abrasive cloth.

[0024] After polish, a resist 6 is removed and the barrier metal 5 and a bump 7 are exposed. This condition is shown in drawing 7. Etching removal of the barrier metal 5 which has exposed the bump 7 who formed as a mask is carried out, and a bump's 7 formation process is completed. This condition is shown in drawing 7.

[0025] In the gestalt of this operation, since it grinds by the CMP method, bump height can be equalized in a high precision. Moreover, since it grinds after the resist at the time of bump formation has adhered, the damage by the drug solution used for the CMP method can be prevented, and there is little damage on the bump at the time of polish, and it can also prevent adhesion of the foreign matter to a component forming face.

[0026] Thus, the condition of having mounted the semiconductor chip in which the bump was formed is illustrated to drawing 8.

[0027] the base material 8 with which the semiconductor device of the TCP (TapeCarrier Package) mold mounted in the TAB (Tape Automated Bonding) tape in this example is shown, and a TAB tape consists of insulating resin films, such as polyimide, -- adhesives -- minding -- or -- direct -- conductors, such as copper foil, -- the film -- forming -- this conductor -- the film is processed by etching and lead 9 is formed. Alignment of the end of this lead 9 is carried out to the bump 7 of a semiconductor chip 10, it is heated and pressurized, and lead 9 and a bump 7 are connected. Termination of bonding performs the potting closure which a semiconductor chip 10 sets damp-proof improvement as the main purpose, and liquefied closure resin 11, such as epoxy, was applied [ closure ] to the principal plane of a semiconductor chip 10, and the connection part of lead 9, and carried out heating solidification of this.

[0028] In addition, with the gestalt of this operation, although the bump was ground using the CMP method, even if it uses other polish approaches, this invention can be carried out.

[0029] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of said operation, as for this invention, it is needless to say for it to be able to change variously in the range which is not limited to the gestalt of said operation and does not deviate from the summary.

[0030] For example, although the gestalt of the aforementioned operation explained the case where a bump was formed in a semiconductor chip, it is effective even if it uses this invention for other bump formation, such as a mounting substrate or a TAB tape, for example.

[0031]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0032] (1) According to this invention, it is effective in the ability to lessen the error of bump height.

[0033] (2) According to this invention, it is effective in the faulty connections of a bump and a lead decreasing in number with said effectiveness (1).

[0034] (3) According to this invention, it is effective in the dependability of a semiconductor device improving with said effectiveness (2).

---

[Translation done.]

**THIS PAGE BLANK (USPTO)**

**\* NOTICES \***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The formation approach of the bump characterized by having the process which is a bump's formation approach and applies a resist to a bump forming face, the process which performs opening for bump formation to said resist, the process which forms a bump, the process which grinds said bump, and the process which removes said resist.

[Claim 2] The formation approach of the bump according to claim 1 characterized by performing said polish by the CMP method.

[Claim 3] The formation approach of the bump according to claim 1 or 2 characterized by removing said resist after said bump's polish is performed.

[Claim 4] The formation approach of a bump given in any of claim 1 characterized by forming said bump with electrolysis plating thru/or claim 3 they are.

[Claim 5] The manufacture approach of a semiconductor device of having the bump characterized by to have the process which is the manufacture approach of a semiconductor device of having the bump who uses as a connection terminal with the exterior of the circuit formed in the semiconductor chip, and applies a resist to a bump forming face, the process which perform opening for bump formation to said resist, the process which form a bump, the process which grind said bump, and the process which remove said resist.

[Claim 6] The manufacture approach of a semiconductor device of having the bump according to claim 5 characterized by performing said polish by the CMP method.

[Claim 7] The manufacture approach of a semiconductor device of having the bump according to claim 5 or 6 characterized by removing said resist after said bump's polish is performed.

[Claim 8] The formation approach of a bump given in any of claim 5 characterized by forming said bump with electrolysis plating thru/or claim 7 they are.

---

[Translation done.]

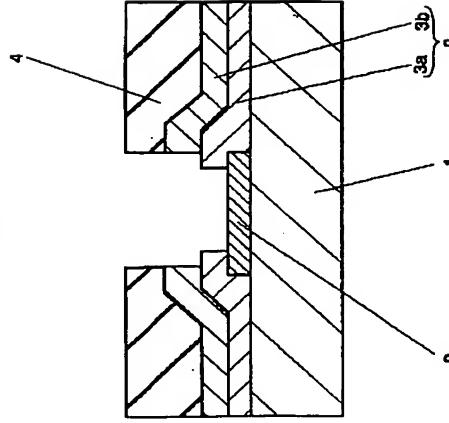
**THIS PAGE BLANK (USPTO)**

\* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

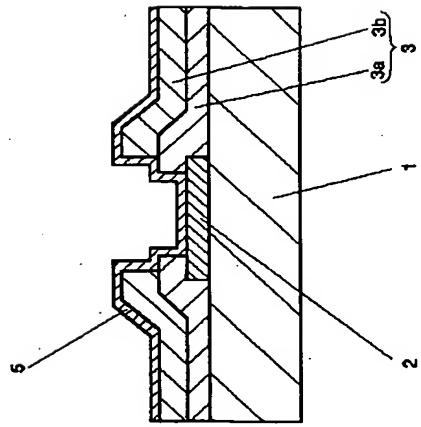
DRAWINGS

[Drawing 1]  FIG 1

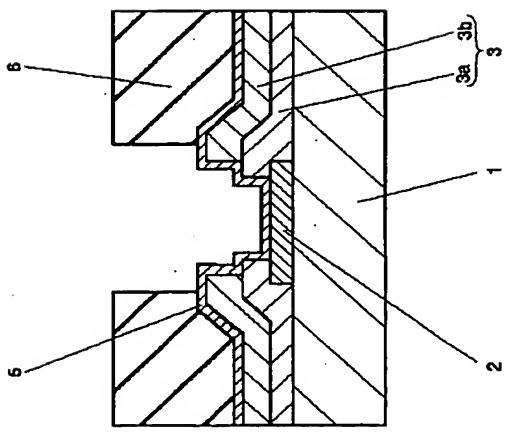
[Drawing 2]

**THIS PAGE BLANK (USPTO)**

图 2



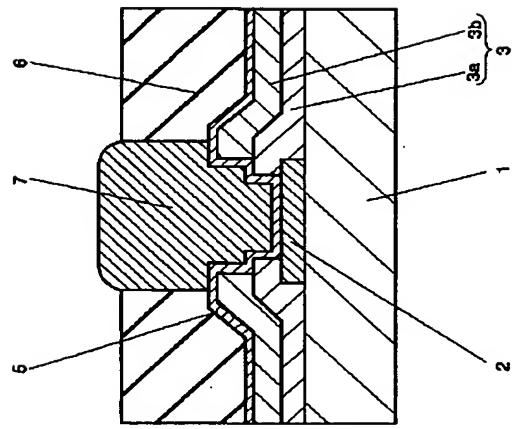
Drawing 3] 图 3



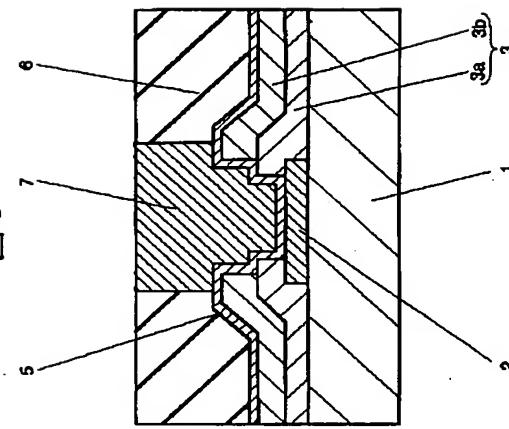
[Drawing 4]

**THIS PAGE BLANK (USPTO)**

図4



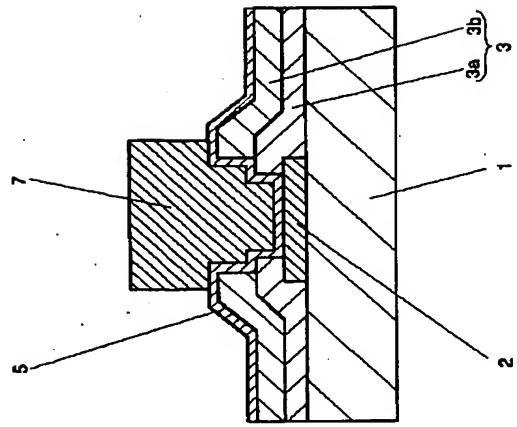
[Drawing 5] 図5



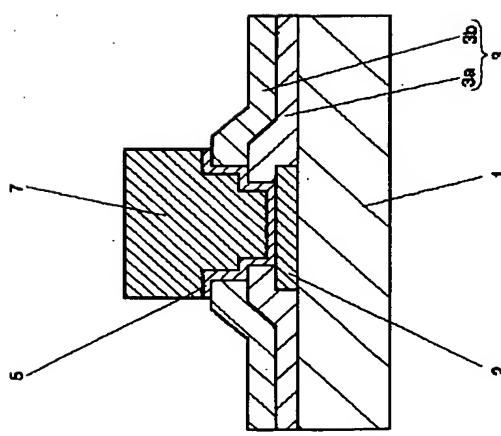
[Drawing 6]

**THIS PAGE BLANK (USPTO)**

图 6

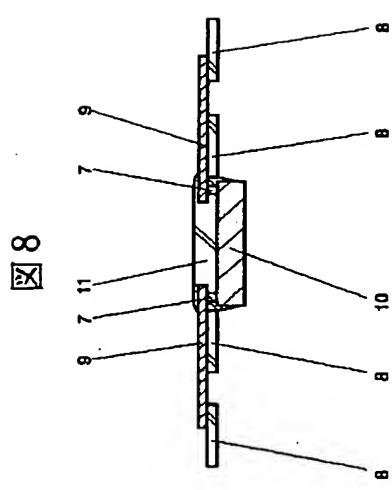


Drawing 7  
图 7



Drawing 8

**THIS PAGE BLANK (USPTO)**



[Translation done.]

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**